

M1210 Interface Modul

Technische Beschreibung

BECKHOFF

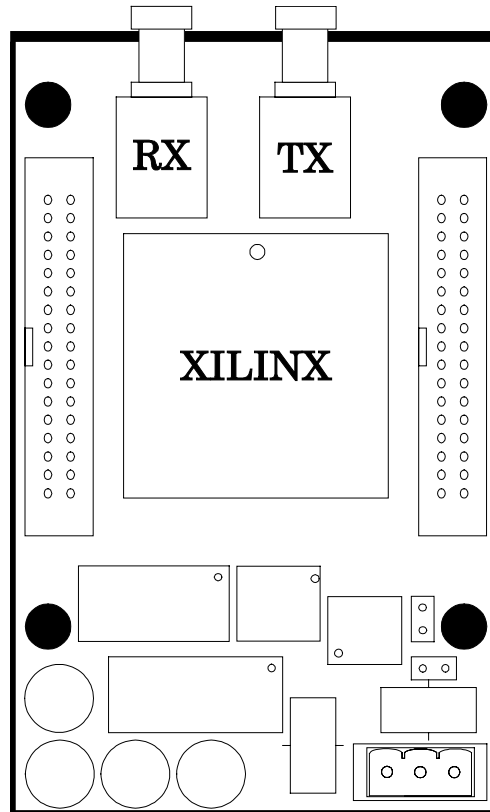
INDUSTRIE ELEKTRONIK

Eiserstraße 5 Telefon 05246/709-0
D-33415 Verl Telefax 05246/70980

Inhaltsverzeichnis

1. Funktionsbeschreibung Hardware.....	3
2. Funktionsbeschreibung Software.....	5
3. Technische Daten	6
4. Installationshinweise.....	7
5. Anschlußplan.....	9

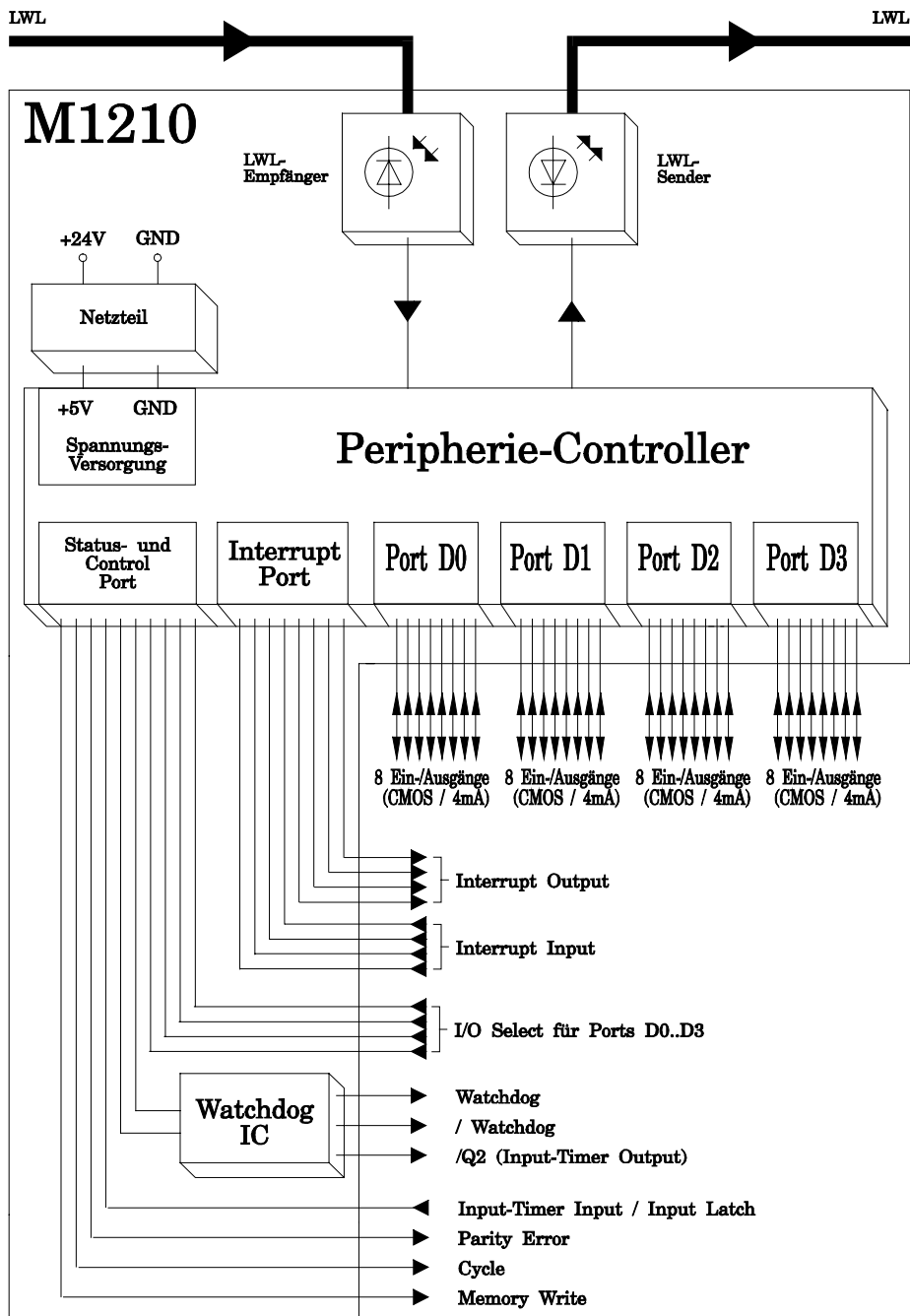
1. Funktionsbeschreibung Hardware



M1210

Allgemeines

Das Interface Modul M1210 ermöglicht den Anschluß kunden-spezifischer Peripherie-Elektronik an das Lichtleiter II/O-System. Ein integriertes 24 VDC/ 5 VDC-Schaltnetzteil, 32 parallele Daten Ein-/Ausgänge, 4 "schnelle" Interrupts, sowie Interface Control Signale ermöglichen eine einfache Anpassung an verschiedenste Anwendungen. Über den Lichtleiteranschluß des II/O-Systems erfolgt eine schnelle störsichere Datenübertragung zu einem Zentralgerät wie PC, SPS oder CNC.



Blockschaltbild

2. Funktionsbeschreibung Software

Die Ports D0 .. D3 entsprechen den Datenbytes im LWL-Übertragungsprotokoll, und sind je nach Anwendung als Ein- oder Ausgänge konfigurierbar.

3. Technische Daten

Ein-/Ausgänge	4 Parallel-Ports (8Bit) 4 Interrupts (25µs Auflösung)
Steuersignale	Data Read, Data Write, I/O Select, Cycle, Error, Watchdog
Eingangsspezifikation	CMOS
Ausgangsspezifikation	CMOS, I _{out} = 4 mA
Ausgangsüberwachung	Watchdog-Schaltung (100ms)
Datenanschluß	Lichtleiter II/O-System
Übertragungsrate	2,5 MBaud, 25µs für 32 Bit
Versorgungsspannung	24 VDC (±10%)
Stromaufnahme	0,1 A (ohne Last- und Eingangsströme)
Anschlüsse	steckbar (2 * 34 polige Steckerleiste)
Gehäuseform	Print-Karte für Steck- oder Schraubmontage <i>oder</i>
	offen im Kartenträger, aufschnappbar auf Gerätetrageschiene nach DIN EN 50022, 50035
Abmessungen (B*H*T)	65 * 100 * 33 mm (Leiterkarte) 70 * 111 * 70 mm (Kartenträger)
Gewicht	ca. 90 g (Leiterkarte) ca. 160 g (Kartenträger)
Betriebstemperatur	±0..+55 °C
Lagertemperatur	-20..+70 °C

4. Installationshinweise

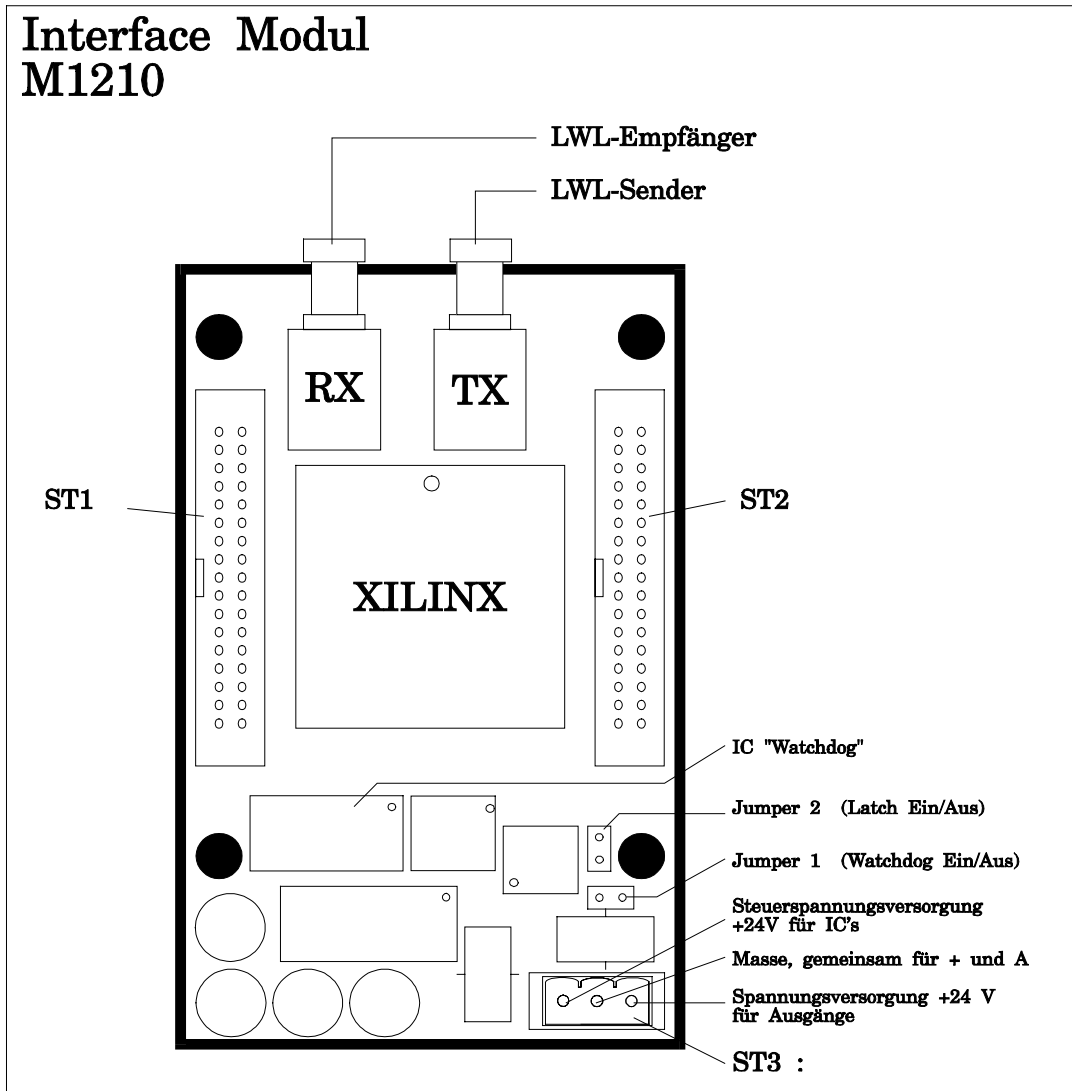
Das M1210 wird mit LWL Steckverbindern (Toshiba) an den II/O Lichtleiterring angeschlossen. Die maximale LWL-Kabellänge bis zu den Nachbarboxen sollte 45m bei Kunststofflichtleitern und 600m bei Glasfaser nicht übersteigen. Diese Werte gelten nur, wenn beim Verlegen der LWL-Kabel Biegeradien von min. 30 mm eingehalten werden. Bei Verwendung von Kunststofflichtleitern ist zur Montage der Stecker kein Spezialwerkzeug erforderlich.

Die Montage des M1210 erfolgt dezentral an der Maschine oder im Schaltschrank durch einfaches Aufschnappen auf eine Gerätetragschiene nach DIN EN 50022 oder DIN EN 50035, oder durch Einbau in ein kundenspezifisches Modul.

Zum Anschluß der 24V Versorgungsspannung steht eine dreipolige steckbare Anschlußklemme mit getrennten Anschlüssen für die Steuerlogik / Eingänge (+) und die-Ausgänge (A) bei gleicher Masse (-) zur Verfügung.

Mit den Jumpern 1 + 2 sind folgende Modulkonfigurationen möglich :

Jumper 1	<i>Watchdog Ein / Aus</i>
	Ist der Jumper gesteckt, ist die Sicherheitsfunktion 'Watchdog' ausgeschaltet. Das bedeutet, im Fehlerfall werden gesetzte Ausgänge nicht ausgeschaltet.
Jumper 2	<i>Latch Ein / Aus</i>
	In der Standardeinstellung ist der Jumper gesteckt. Das bedeutet, die Eingangssignale werden alle 6,8 msec eingelesen.



Technische Modulschizze

5. Anschlußplan

Steckeranschlußbelegung mit Signalbeschreibung

STECKER ST1			
Stecker	Pin	Signal	Beschreibung
ST1	1	+5V	+5VDC Hilfsspannung, I _{max} = 0,3 A
ST1	2	GND	GND Spannungsversorgung
ST1	3	D0.7	Bit 7 des Datenbyte 0 D0.7 ist Output, wenn I/O-Select S0 = 0 D0.7 ist Input, wenn I/O-Select S0 = 1
ST1	4	D0.6	Bit 6 des Datenbyte 0 D0.6 ist Output, wenn I/O-Select S0 = 0 D0.6 ist Input, wenn I/O-Select S0 = 1
ST1	5	D0.5	Bit 5 des Datenbyte 0 D0.5 ist Output, wenn I/O-Select S0 = 0 D0.5 ist Input, wenn I/O-Select S0 = 1
ST1	6	D0.4	Bit 4 des Datenbyte 0 D0.4 ist Output, wenn I/O-Select S0 = 0 D0.4 ist Input, wenn I/O-Select S0 = 1
ST1	7	D0.3	Bit 3 des Datenbyte 0 D0.3 ist Output, wenn I/O-Select S0 = 0 D0.3 ist Input, wenn I/O-Select S0 = 1
ST1	8	D0.2	Bit 2 des Datenbyte 0 D0.2 ist Output, wenn I/O-Select S0 = 0 D0.2 ist Input, wenn I/O-Select S0 = 1
ST1	9	D0.1	Bit 1 des Datenbyte 0 D0.1 ist Output, wenn I/O-Select S0 = 0 D0.1 ist Input, wenn I/O-Select S0 = 1
ST1	10	D0.0	Bit 0 des Datenbyte 0 D0.0 ist Output, wenn I/O-Select S0 = 0 D0.0 ist Input, wenn I/O-Select S0 = 1
ST1	11	D1.7	Bit 7 des Datenbyte 1 D1.7 ist Output, wenn I/O-Select S1 = 0 D1.7 ist Input, wenn I/O-Select S1 = 1
ST1	12	D1.6	Bit 6 des Datenbyte 1 D1.6 ist Output, wenn I/O-Select S1 = 0 D1.6 ist Input, wenn I/O-Select S1 = 1
ST1	13	D1.5	Bit 5 des Datenbyte 1 D1.5 ist Output, wenn I/O-Select S1 = 0 D1.5 ist Input, wenn I/O-Select S1 = 1
ST1	14	D1.4	Bit 4 des Datenbyte 1 D1.4 ist Output, wenn I/O-Select S1 = 0 D1.4 ist Input, wenn I/O-Select S1 = 1

Fortsetzung Stecker ST1:

ST1	15	D1.3	Bit 3 des Datenbyte 1 D1.3 ist Output, wenn I/O-Select S1 = 0 D1.3 ist Input, wenn I/O-Select S1 = 1
ST1	16	D1.2	Bit 2 des Datenbyte 1 D1.2 ist Output, wenn I/O-Select S1 = 0 D1.2 ist Input, wenn I/O-Select S1 = 1
ST1	17	D1.1	Bit 1 des Datenbyte 1 D1.1 ist Output, wenn I/O-Select S1 = 0 D1.1 ist Input, wenn I/O-Select S1 = 1
ST1	18	D1.0	Bit 0 des Datenbyte 1 D1.0 ist Output, wenn I/O-Select S1 = 0 D1.0 ist Input, wenn I/O-Select S1 = 1
ST1	19	II0	Interrupt-Input 0 Das Interrupt-Bit I0 eines durchlaufenden Telegrammes wird mit dem logischen Wert des Interrupt-Inputs II0 verodert. ("Wired-Or" der II0-Eingänge über alle Module, pos. Logik)
ST1	20	II1	Interrupt-Input 1 Das Interrupt-Bit I1 eines durchlaufenden Telegrammes wird mit dem logischen Wert des Interrupt-Inputs II1 verodert. ("Wired-Or" der II1-Eingänge über alle Module, pos. Logik)
ST1	21	II2	Interrupt-Input 2 Das Interrupt-Bit I2 eines durchlaufenden Telegrammes wird mit dem logischen Wert des Interrupt-Inputs II2 verodert. ("Wired-Or" der II2-Eingänge über alle Module, pos. Logik)
ST1	22	II3	Interrupt-Input 3 Das Interrupt-Bit I3 eines durchlaufenden Telegrammes wird mit dem logischen Wert des Interrupt-Inputs II3 verodert. ("Wired-Or" der II3-Eingänge über alle Module, pos. Logik)
ST1	23	IO0	Interrupt-Output 0 Der logische Wert des Interrupt Bit I0 eines durchlaufenden Telegrammes wird auf dem Output IO0 ausgegeben (pos. Logik)
ST1	24	IO1	Interrupt-Output 1 Der logische Wert des Interrupt Bit I1 eines durchlaufenden Telegrammes wird auf dem Output IO1 ausgegeben (pos. Logik)
ST1	25	IO2	Interrupt-Output 2 Der logische Wert des Interrupt Bit I2 eines durchlaufenden Telegrammes wird auf dem Output IO2 ausgegeben pos. Logik
ST1	26	IO3	Interrupt-Output 3 Der logische Wert des Interrupt Bit I3 eines durchlaufenden Telegrammes wird auf dem Output IO3 ausgegeben (pos. Logik)
ST1	27	WD	Watch Dog Output: wird für eine Zeitdauer von 100 msec logisch "1" gesetzt, wenn: a) ein Telegramm vollständig empfangen wurde und b) das Modul adressiert worden ist und c) kein Übertragungsfehler vorliegt.

Fortsetzung Stecker ST1:

ST1	28	WDN	Watch Dog Output (negiert): wird für eine Zeitdauer von 100 msec auf logisch "0" gesetzt, wenn: a) ein Telegramm vollständig empfangen wurde und b) das Modul adressiert worden ist und c) kein Übertragungsfehler vorliegt.
ST1	29	p38	Pin 38 des XILINX LCA: reserviert
ST1	30	p41	Pin 41 des XILINX LCA: reserviert
ST1	31	p45	Pin 45 des XILINX LCA: reserviert
ST1	32	+24VTR	+ 24 VDC Stromversorgung, Treiberspannung
ST1	33	+24VST	+ 24 VDC Stromversorgung Steuerspannung
ST1	34	GND	Ground

STECKER ST2

Stecker	Pin	Signal	Beschreibung
ST2	1	+5V	+5VDC Hilfsspannung, I _{max} = 0,3 A
ST2	2	GND	GND Spannungsversorgung
ST2	3	D3.7	Bit 7 des Datenbyte 3 D3.7 ist Output, wenn I/O-Select S3 = 0 D3.7 ist Input, wenn I/O-Select S3 = 1
ST2	4	D3.6	Bit 6 des Datenbyte 3 D3.6 ist Output, wenn I/O-Select S3 = 0 D3.6 ist Input, wenn I/O-Select S3 = 1 Anmerkung: D3.6 wird auch als Dateneingang für die XILINX-Konfiguration verwendet. D3.6 darf daher nur über einen Serien-Widerstand von 10kOhm mit einer externen Schaltung verbunden werden.
ST2	5	D3.5	Bit 5 des Datenbyte 3 D3.5 ist Output, wenn I/O-Select S3 = 0 D3.5 ist Input, wenn I/O-Select S3 = 1
ST2	6	D3.4	Bit 4 des Datenbyte 3 D3.4 ist Output, wenn I/O-Select S3 = 0 D3.4 ist Input, wenn I/O-Select S3 = 1
ST2	7	D3.3	Bit 3 des Datenbyte 3 D3.3 ist Output, wenn I/O-Select S3 = 0 D3.3 ist Input, wenn I/O-Select S3 = 1
ST2	8	D3.2	Bit 2 des Datenbyte 3 D3.2 ist Output, wenn I/O-Select S3 = 0 D3.2 ist Input, wenn I/O-Select S3 = 1
ST2	9	D3.1	Bit 1 des Datenbyte 3 D3.1 ist Output, wenn I/O-Select S3 = 0 D3.1 ist Input, wenn I/O-Select S3 = 1

Fortsetzung Stecker ST2:

ST2	10	D3.0	Bit 0 des Datenbyte 3 D3.1 ist Output, wenn I/O-Select S3 = 0 D3.1 ist Input, wenn I/O-Select S3 = 1
ST2	11	D2.7	Bit 7 des Datenbyte 2 D2.7 ist Output, wenn I/O-Select S2 = 0 D2.7 ist Input, wenn I/O-Select S2 = 1
ST2	12	D2.6	Bit 6 des Datenbyte 2 D2.6 ist Output, wenn I/O-Select S2 = 0 D2.6 ist Input, wenn I/O-Select S2 = 1
ST2	13	D2.5	Bit 5 des Datenbyte 2 D2.5 ist Output, wenn I/O-Select S2 = 0 D2.5 ist Input, wenn I/O-Select S2 = 1
ST2	14	D2.4	Bit 4 des Datenbyte 2 D2.4 ist Output, wenn I/O-Select S2 = 0 D2.4 ist Input, wenn I/O-Select S2 = 1
ST2	15	D2.3	Bit 3 des Datenbyte 2 D2.3 ist Output, wenn I/O-Select S2 = 0 D2.3 ist Input, wenn I/O-Select S2 = 1
ST2	16	D2.2	Bit 2 des Datenbyte 2 D2.2 ist Output, wenn I/O-Select S2 = 0 D2.2 ist Input, wenn I/O-Select S2 = 1
ST2	17	D2.1	Bit 1 des Datenbyte 2 D2.1 ist Output, wenn I/O-Select S2 = 0 D2.1 ist Input, wenn I/O-Select S2 = 1
ST2	18	D2.0	Bit 0 des Datenbyte 2 D2.0 ist Output, wenn I/O-Select S2 = 0 D2.0 ist Input, wenn I/O-Select S2 = 1
ST2	19	S3	I/O Select für Datenbyte 3 (D3.0-D3.7) Wenn S3=0, dann sind D3.0-D3.7 als Output geschaltet. Wenn S3=1, dann sind D3.0-D3.7 als Input geschaltet.
ST2	20	S2	I/O Select für Datenbyte 2 (D2.0-D2.7) Wenn S2=0, dann sind D2.0-D2.7 als Output geschaltet. Wenn S2=1, dann sind D2.0-D2.7 als Input geschaltet.
ST2	21	S1	I/O Select für Datenbyte 1 (D1.0-D1.7) Wenn S1=0, dann sind D1.0-D1.7 als Output geschaltet. Wenn S1=1, dann sind D1.0-D1.7 als Input geschaltet.
ST2	22	S0	I/O Select für Datenbyte 0 (D0.0-D0.7) Wenn S0=0, dann sind D0.0-D0.7 als Output geschaltet. Wenn S0=1, dann sind D0.0-D0.7 als Input geschaltet.
ST2	23		nc
ST2	24		nc
ST2	25	ITI	Input-Timer-Input/Input Latch Bei ITI=1 werden die Eingangsdaten D00-D37 in das Modul eingelesen. Bei ITI=0 werden die Eingangsdaten D00-D37 <u>nicht</u> eingelesen.

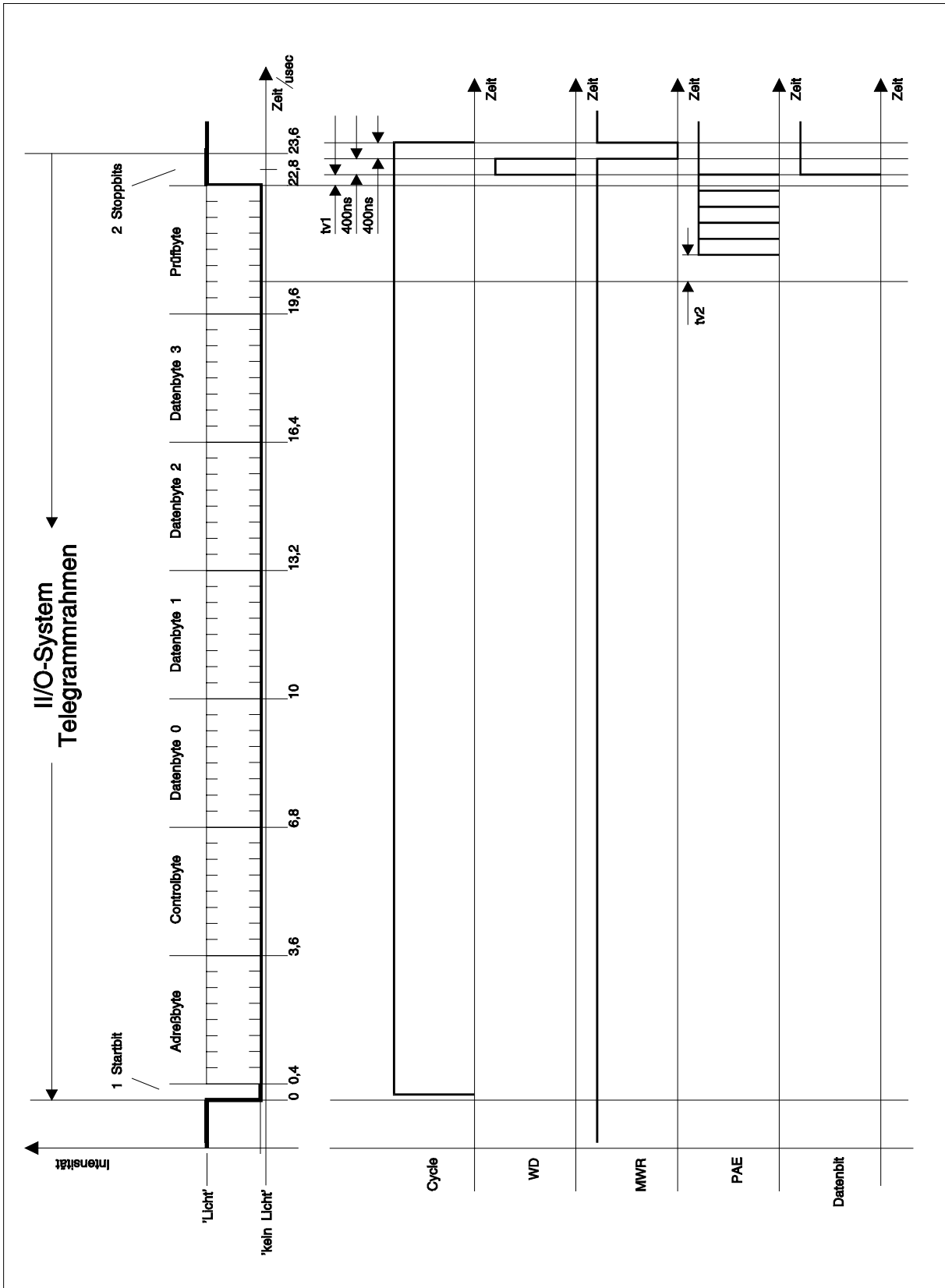
Fortsetzung Stecker ST2:

ST2	26	PAE	Parity Error Das PAE-Signal wird unmittelbar nach dem vollständigen Empfang eines Telegrammes erzeugt. Es gilt: PAE = 0, dann CRC o.k. PAE = 1, dann CRC fehlerhaft Das Signal wird nach erkennen eines fehlerhaften Telegrammes (Checksum, Frame) eingeschaltet und nach dem Durchlaufen drei aufeinanderfolgender richtiger Telegramme wieder ausgeschaltet.
ST2	27	CYC	CYCLE CYCLE wird mit dem Startbit eines jeden Telegrammeseingeschaltet (auf "1" gesetzt) und mit dem Stopbit wieder ausgeschaltet.
ST2	28	MWR	Memory Write Das Memory Write Signal (Active Low) wird eine definierte Zeit nach dem vollständigen Empfang eines Telegrammes erzeugt, wenn a) das Write-Control-Bit im Telegramm gesetzt ist. b) die CRC-Prüfung fehlerfrei war c) die Ausgaben-Daten stahl anstehen.
ST2	29	ITQ	Ausgang des Input-Timers-Monoflops
ST2	30	Done	Reset out, aktiv low
ST2	31	p51	Pin 51 des XILINX LCA: reserviert
ST2	32	U _{ref}	Referenzspannung zur Anschaltung externer Leistungstreiber a) U _{ref} = 2,4 VDC, wenn WD = "1" b) U _{ref} = D+ = 24 V, wenn WD = "0"
ST2	33	+24VST	+ 24 VDC Stromversorgung, Steuerspannung
ST2	34	GND	Ground

STECKER ST3

Stecker	Pin	Signal	Beschreibung
ST3	1	+	Steuerspannung +24V für IC's
ST3	2	-	Masse gemeinsam für + und A
ST3	3	A	Lastspannung +24V für Ausgänge

Timing



Timingdiagramm Peripheriecontroller

Im Timing-Diagramm ist die Abhängigkeit zwischen Zeitverlauf des II/O-Telegramm-Rahmens und einigen Peripherie-Controller Signalen dargestellt.

Der II/O-System Telegrammrahmen ist hier als Lichtsignal dargestellt, die weiteren Signale mit ihrem elektrischen Pegel. Die opto-elektronische Wandlung und eine Verzögerung durch logische Gatter im Peripheriecontroller verursachen die Verzögerungszeit t_{v1} (ca. 300 ns). Wird ein Fehler beim CRC-Check festgestellt, erfolgt die Ausgabe des PAE-Signals. Die Verzögerungszeit t_{v2} setzt sich aus t_{v1} (ca. 300 ns) und einer Zeitdauer $(n+1)*400$ ns zusammen. n entspricht hier dem CRC-Bit, welches den Fehler signalisiert (z.B.: CRC-Bit 0 => $t_{v2} = 300 \text{ ns} + (0+1)*400 \text{ ns} = 700\text{ns}$).

Der Bitstrom wird in jedem Peripherie-Modul digital-elektrisch aufbereitet und mit einer Verzögerung von ~2 Bit (800 ns) weitergesendet. Die opto-elektrische Wandlung von Sender und Empfänger über LWL ergibt eine weitere Verzögerung von ~1 Bit (400 ns) pro Peripherie-Modul. Die Summe aller Bitstromverzögerungen ergibt sich etwa aus :

$$\text{Anzahl der Peripherie-Module} * 1200 \text{ ns}$$